

**Production of isolation trenches between active regions during the manufacture of integrated circuits, especially DRAMs, comprises etching trenches filled with oxide in semiconductor substrate to isolate the active regions, and processing**

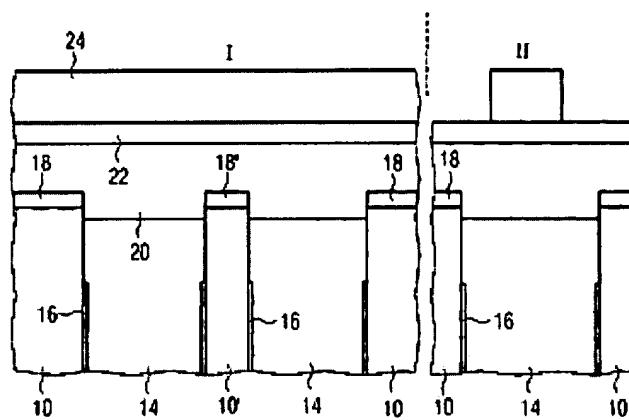
**Patent number:** DE10139430  
**Publication date:** 2003-03-06  
**Inventor:** EFFERENN DIRK (DE); MOLL HANS-PETER (DE); GRUENING ULRIKE (DE)  
**Applicant:** INFINEON TECHNOLOGIES AG (DE)  
**Classification:**  
- **international:** H01L21/762  
- **european:** H01L21/762C; H01L21/8242B6  
**Application number:** DE20011039430 20010810  
**Priority number(s):** DE20011039430 20010810

BEST AVAILABLE COPY

[Report a data error here](#)

**Abstract of DE10139430**

Production of isolation trenches between active regions during the manufacture of integrated circuits, especially DRAMs, comprises etching trenches filled with an oxide in a semiconductor substrate (10) to isolate the active regions and form deep trenches (12) filled with polysilicon (14); forming a silicon nitride layer (18) on the surface of the substrate; covering the whole surface of the substrate and the polysilicon with a hard mask layer (20); and forming lateral isolation trenches next to the active regions. Preferred Features: The surface of the polysilicon in the trenches lies than the surface of the silicon nitride layer. The silicon nitride layer is removed by etching on bars between the trenches for a pair of storage capacitors.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

THIS PAGE BLANK (USPTO)

## The Delphion Integrated View

Get Now:  PDF | [More choices...](#)Tools: Add to Work File: [Create new Work File](#)  View: [Expand Details](#) | [INPADOC](#) | Jump to: [Top](#) Go to: [Derwent](#)[Email this to a friend](#)

>Title: **DE10139430A1: Production of isolation trenches between active regions during the manufacture of integrated circuits, especially DRAMs, comprises etching trenches filled with oxide in semiconductor substrate to isolate the active regions, and processing** [German]

Derwent Title: Production of isolation trenches between active regions during the manufacture of integrated circuits, especially DRAMs, comprises etching trenches filled with oxide in semiconductor substrate to isolate the active regions, and processing [Derwent Record]

Country: DE Germany

Kind: A1 Document Laid open (First Publication)

Inventor: Efferenn, Dirk; Dresden, Germany 01099  
Moll, Hans-Peter; Dresden, Germany 01099  
Grüning, Ulrike; München, Germany 81539



High Resolution

Assignee: Infineon Technologies AG, München, Germany 81669  
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 2003-03-06 / 2001-08-10

BEST AVAILABLE COPY

Application Number: DE2001010139430

IPC Code: H01L 21/762;

ECLA Code: H01L21/762C;

Priority Number: 2001-08-10 DE2001010139430

Abstract:

Es wird ein Verfahren zur Erzeugung von Isolationsgräben (3, 32) zwischen aktiven Gebieten in der STI-Technik bei der Herstellung von integrierten Schaltungen, insbesondere DRAMs, beschrieben. Bei dem Verfahren wird in einem Strukturierungszustand, in dem sich auf dem Substratsilizium (10, 10') überall eine Siliziumnitridschicht (18, 18') befindet und die gesamte Oberfläche des Halbleitersubstrats (10) und des Polysiliziums (14) in den Gräben (12) mit einer Hartmaskenschicht (20) abgedeckt ist, zuerst ein erster Lithographieschritt zur Ausbildung von seitlichen Isolationsgräben (26) neben den Streifen aktiver Gebiete (2) ausgeführt, an den sich ein zweiter Lithographieschritt zur Ausbildung der Isolationsgräben (3, 32) in den Streifen anschließt.

Attorney, Agent or Firm: Wilhelm & Beck ; , München 80636

[Show legal status actions](#)

INPADOC Legal Status:

Family: None

Description: [Expand full description](#)

+

[Bezugszeichenliste](#)

THIS PAGE BLANK (HSPTO)

First Claim: [Show all claims](#)

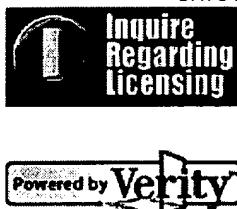
1. Verfahren zur Ausbildung von Isolationsgräben zwischen aktiven Gebieten (2) bei der Herstellung von integrierten Schaltungen, insbesondere DRAMs, bei der in ein Halbleitersubstrat (10) zur gegenseitigen Isolierung der aktiven Gebiete (2) relativ flache Isolationsgräben (3, 26, 32) eingeätzt werden, die mit einem Oxid aufgefüllt werden, wobei es neben den relativ flachen Isolationsgräben (3) tiefe, mit Polysilizium (14) gefüllte Gräben (12) gibt, die Speicher kondensatoren (1) bilden, dadurch gekennzeichnet, daß in einem Strukturierungszustand, in dem sich auf der Siliziumoberfläche des Halbleitersubstrats (10, 10') eine Siliziumnitridschicht (18, 18') befindet und die gesamte Oberfläche des Halbleitersubstrats (10) und des Polysiliziums (14) in den Gräben (12) mit einer Hartmaskenschicht (20) abgedeckt ist, zuerst ein erster Lithographieschritt zur Ausbildung von seitlichen Isolationsgräben (26) neben den Streifen aktiver Gebiete (2) ausgeführt wird, an den sich ein zweiter Lithographieschritt zur Ausbildung der Isolationsgräben (3, 32) in den Streifen anschließt.

## Foreign References:

PDF	Publication	Date	IPC Code	Assignee	Title
<input checked="" type="checkbox"/>	US5953607A		H01L 21/8242	INTERNATIONAL BUSINESS MACHINES CORPORATION	<a href="#">Buried strap for trench storage capacitors in dram trench cells</a>

## Other Abstract Info:

CHEMABS 138(12)179239C DERABS C2003-302432

[Nominate this for the Gallery...](#)

© 1997-2003 Thomson Delphion

[Research Subscriptions](#) | [Privacy Policy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

THIS PAGE BLANK (USPTO)

⑯ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑯ **Offenlegungsschrift**  
⑯ **DE 101 39 430 A 1**

⑯ Int. Cl. 7:  
**H 01 L 21/762**

⑯ Aktenzeichen: 101 39 430.6  
⑯ Anmelddatum: 10. 8. 2001  
⑯ Offenlegungstag: 6. 3. 2003

⑯ Anmelder:  
Infineon Technologies AG, 81669 München, DE  
⑯ Vertreter:  
Wilhelm & Beck, 80636 München

⑯ Erfinder:  
Efferenn, Dirk, 01099 Dresden, DE; Moll, Hans-Peter, 01099 Dresden, DE; Grüning, Ulrike, 81539 München, DE

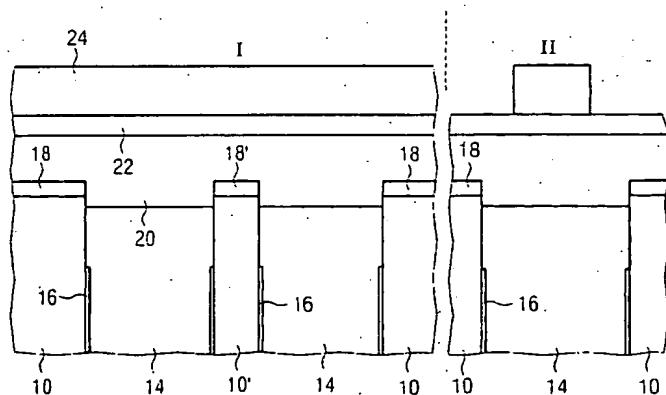
⑯ Entgegenhaltungen:  
US 59 53 607 A

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Verfahren zur Ausbildung von Isolationsgräben zwischen aktiven Gebieten bei der Herstellung integrierter Schaltungen

⑯ Es wird ein Verfahren zur Erzeugung von Isolationsgräben (3, 32) zwischen aktiven Gebieten in der STI-Technik bei der Herstellung von integrierten Schaltungen, insbesondere DRAMs, beschrieben. Bei dem Verfahren wird in einem Strukturierungszustand, in dem sich auf dem Substratsilizium (10, 10') überall eine Siliziumnitridschicht (18, 18') befindet und die gesamte Oberfläche des Halbleitersubstrats (10) und des Polysiliziums (14) in den Gräben (12) mit einer Hartmaskenschicht (20) abgedeckt ist, zuerst ein erster Lithographieschritt zur Ausbildung von seitlichen Isolationsgräben (26) neben den Streifen aktiver Gebiete (2) ausgeführt, an den sich ein zweiter Lithographieschritt zur Ausbildung der Isolationsgräben (3, 32) in den Streifen anschließt.



## Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Ausbildung von Isolationsgräben zwischen aktiven Gebieten bei der Herstellung von integrierten Schaltungen, insbesondere DRAM-Halbleiterspeichern.

[0002] Bei den elektronischen integrierten Schaltungen (ICs) wird der Integrationsgrad oder die Packungsdichte, das ist die Anzahl der Funktionselemente pro Flächeneinheit, immer größer. Wegen der beständigen und andauern- 10 den Forderung nach Halbleiterspeichern mit immer mehr Speicherkapazität, also steigendem Integrationsgrad, der großen Regelmäßigkeit des Entwurfs und der erheblichen Anwendungsbreite sind dabei die DRAMs (Dynamic Random Access Memory, dynamische Speicher mit wahlfreiem Zugriff) zum Schrittmacher für die Mikroelektronik geworden. Der 256 Mb-DRAM mit Strukturbreiten von 0,25 µm ist inzwischen schon Standard, der 1 Gb-DRAM in Reichweite.

[0003] Die mit der fortschreitenden Miniaturisierung auftretenden Probleme werden dabei jedoch in physikalischer, technologischer und schaltungstechnischer Hinsicht immer vielgestaltiger.

[0004] Ein herausragendes Element des Gesamtprozesses für die Herstellung von 256 Mb-DRAMS in 0,25-µm-Technologie ist, neben den bereits extrem feinen Strukturen, die dreidimensionale Integration der Speicherzellen durch Graben-Speicherkondensatoren (Trench-Kondensatoren). Die Speicherkondensatoren sind dabei in bezüglich der Substrat-oberfläche senkrecht in das Substrat geätzten tiefen Gräben ("Deep Trench", DT) ausgebildet.

[0005] Über und neben den tiefen Gräben für die Speicherkondensatoren sind auf der Substratoberfläche in Planartechnik streifenförmig Auswahltransistoren ausgeführt. Der elektrische Anschluß eines Auswahltransistors an den entsprechenden Speicherkondensator erfolgt durch eine Überlappung des aktiven Gebiets des Auswahltransistors mit dem Speicherkondensator. Der Anschlußbereich des aktiven Gebiets wird "Buried Strap" (BS) genannt.

[0006] Unter Grabenisolation bzw. STI oder Shallow Trench Isolation versteht man die seitliche Isolation benachbarter Transistoren und anderer aktiver Gebiete durch relativ flache Gräben, die ins monokristalline Silizium des Substrats geätzt und mit isolierendem Material aufgefüllt werden. Der Graben wird dabei zwischen den aktiven Gebieten mit der gewünschten Feldoxiddicke als Tiefe anisotrop in das Substrat geätzt. Nach einer kurzen thermischen Oxidation folgt eine konforme Oxidabscheidung zum Auffüllen dieser Isolationsgräben.

[0007] Bei den genannten DRAMs erfolgt nicht nur die gegenseitige laterale Isolierung der streifenförmigen aktiven Gebiete für die Auswahltransistoren in der STI-Technik mit ebenfalls langgestreckten, streifenförmigen Isolationsstrukturen, sondern es werden auch zur Trennung der in Streifen-Längsrichtung aufeinanderfolgenden MOS-Auswahltransistoren innerhalb der einzelnen Streifen kurze, in etwa rechteckförmige, flache Isolationsgräben ausgebildet, die mit SiO<sub>2</sub> aufgefüllt werden. Diese Isolationsgräben liegen jeweils zwischen zwei Speicherkondensatoren und grenzen an diese an. Sie verbinden auch die beiden seitlichen Isolationsgräben, die neben den aktiven Gebieten für die Auswahltransistoren liegen.

[0008] Um zu verhindern, daß die aktiven Gebiete der MOS-Auswahltransistoren mit den Buried-Strap-Anschlußbereichen, die ja aus einem leitenden Material wie Polysilizium bestehen, bis in den Isolationsbereich zwischen zwei Speicherkondensatoren reichen und die Isolation verschlechtern oder durch Überbrücken des Isolationsgrabens

gar ganz aufheben, muß der sogenannte Kopf-zu-Kopf-Abstand der einzelnen aktiven Gebiete in einem Streifen so eingestellt werden, daß auch bei den unvermeidlichen Lagefehlern der Lithographieprozesse die aktiven Gebiete nicht in den Isolationsbereich hineinragen.

[0009] Dies hat nun jedoch den Nachteil, daß die aktiven Gebiete bzw. der Buried-Strap-Anschlußbereich der Auswahltransistoren nicht über den ganzen Querschnitt des Speicherkondensators reicht, sondern aus den genannten 10 Gründen um ein bestimmtes, technologieabhängiges Maß von dem Rand des Speicherkondensators zurückliegt, der seinerseits an einen Isolationsbereich angrenzt und dem direkt der nächste Speicherkondensator mit dessen Auswahltransistor gegenüberliegt. Mit anderen Worten ist der Querschnitt für den Stromdurchgang von Speicherkondensator zum aktiven Gebiet des Auswahltransistors nicht so groß wie er theoretisch sein könnte. Der Querschnitt beeinflußt jedoch direkt den Übergangswiderstand zwischen Speicherkondensator und Auswahltransistor, der so gering wie möglich sein sollte.

[0010] Durch einen variierenden Lagefehler verändert sich auch der durch den Anschlußbereich abgedeckte Querschnitt des Speicherkondensators und damit der Anschlußwiderstand, mit der Folge von unerwünscht schwankenden elektrischen Eigenschaften des Systems Speicherkondensator-Auswahltransistor.

[0011] Aufgabe der Erfindung ist es daher, ein Verfahren zu schaffen, mit dem der Übergangswiderstand zwischen Speicherkondensator und Auswahltransistor durch Maximieren des Überlapps zwischen dem aktiven Gebiet des Auswahltransistors und dem Querschnitt des Speicherkondensators gleichbleibend und zuverlässig auf das geringstmögliche Maß verringert werden kann.

[0012] Diese Aufgabe wird erfindungsgemäß mit dem im Patentanspruch 1 beschriebenen Verfahren gelöst. Vorteilhafte Ausgestaltungen des erfindungsgemäßen Verfahrens sind im Unteranspruch angeführt.

[0013] Bei der vorliegenden Erfindung wird die Erzeugung der relativ kleinen, in etwa rechteckigen Isolationsgräben innerhalb der streifenförmigen aktiven Gebiete von der Erzeugung der streifenförmigen Isolationsgräben zwischen den einzelnen Streifen der aktiven Gebiete abgekoppelt. Es erfolgt mit anderen Worten eine Aufteilung der bisher in einem Lithographieschritt erfolgten Ausbildung der Isolationsgräben in zwei Lithographieschritte, die zusammen und in der Summe dann wieder eine komplette Isolationsstruktur ergeben.

[0014] Mit dem ersten Lithographieschritt wird das streifenförmige Linienmuster an Isolationsgräben für die Gesamtheit der aktiven Gebiete ausgebildet. Der zweite Lithographieschritt erzeugt in den Streifen für die aktiven Gebiete ein Lochmuster zur Trennung der aktiven Gebiete in den einzelnen Streifen. Jedem Lithographieschritt folgt eine separate Hartmaskenätzung und eine separate Isolationsgrabenätzung.

[0015] Aufgrund der separaten Lithographieschritte können die Hartmaskenätzung und die Isolationsgrabenätzung in den einzelnen Schritten jeweils für sich optimiert werden. Es ergibt sich daraus die Möglichkeit einer bezüglich des Kopf-zu-Kopf-Abstands selbstjustierten ("self-aligned") Isolationsgrabenätzung.

[0016] Außerdem ist von den beiden Lithographieschritten jeder bezüglich einer Ausrichtdimension unkritisch; es braucht nur mehr in einer (statt in zweien) ein hohes Maß an Genauigkeit eingehalten zu werden. In der Richtung senkrecht dazu reicht eine geringe Genauigkeit aus.

[0017] So hat bei dem Lithographieschritt zur Ausbildung des streifenförmigen Musters für die seitlichen Isolations-

gräben zur Trennen der einzelnen Streifen aktiver Gebiete voneinander eine Verschiebung des Musters in Längsrichtung der Streifen keine große Bedeutung. Bei dem zweiten Lithographieschritt zur Ausbildung des Lochmusters innerhalb der Streifen für die aktiven Gebiete ist sind bei der Ausrichtung der dazugehörigen Lochmaske senkrecht zur Längsrichtung der Streifen größere Toleranzen möglich und erlaubt.

[0018] Die Prozeßfolge ist zwar wegen der nunmehr zwei Lithographieschritte aufwendiger, dies wird aber durch die unkritischere Prozeßführung mehr als kompensiert.

[0019] Bei dieser Vorgehensweise bleibt das Polysilizium in den tiefen Gräben der Speicherkondensatoren in der Längsrichtung der Streifen der aktiven Gebiete der Auswahltransistoren vollständig stehen, das heißt es bleibt exakt bis an den Rand des Speicherkondensators stehen. Dieses Polysilizium bildet jedoch gleichzeitig den Buried Strap des aktiven Gebiets, so daß der Überlapp zwischen dem Querschnitt des Speicherkondensators mit dem aktiven Gebiet bis zum Rand des Speicherkondensators reicht und das aktive Gebiet den Querschnitt des Speicherkondensators demnach im größtmöglichen Ausmaß abdeckt.

[0020] Durch die Selbstausrichtung des Vorgangs auf den ursprünglichen Rand des Speicherkondensators verändert sich die Kontaktfläche zwischen Speicherkondensator und Auswahltransistor auch nicht durch Lithographiefehler wie Lagefehler und dergleichen, so daß der Übergangswiderstand zum Auswahltransistor einen konstanten Wert besitzt.

[0021] Ein Ausführungsbeispiel der Erfindung wird im folgenden anhand der Zeichnung näher erläutert.

[0022] Fig. 1 zeigt eine schematische Aufsicht auf die Anordnung von Speicherkondensatoren und aktiven Gebieten bei einem DRAM-Halbleiterspeicher.

[0023] Fig. 2 bis 9 zeigen Schritte eines Zwei-Masken-Lithographieverfahrens zur Ausbildung der Isolationsgräben bei dem DRAM-Halbleiterspeicher der Fig. 1.

[0024] Fig. 10 zeigt zum Vergleich das Ergebnis eines herkömmlichen einstufigen Lithographieprozesses.

[0025] Die Fig. 1 der Zeichnung zeigt schematisch und stark vereinfacht eine Aufsicht auf die Anordnung von Speicherkondensatoren 1 und aktiven Gebieten 2 für Auswahltransistoren bei DRAM-Halbleiterspeichern mit Grabenkondensatoren. Die Zeichnungsebene entspricht in dieser Aufsicht der Substratoberfläche bzw. ist zu dieser parallel. Die Speicherkondensatoren 1 haben die Form von tiefen Gräben, die senkrecht zur Zeichnungsebene bzw. Substratoberfläche liegen. In der Aufsicht der Fig. 1 ist von den Speicherkondensatoren 1 daher die an der Substratoberfläche liegende Anschlußfläche zu sehen.

[0026] Es sind zwei nebeneinanderliegende Speicherkondensatoren 1 dargestellt. An jeden Speicherkondensator 1 schließt sich das aktive Gebiet 2 eines Auswahltransistors an. Das aktive Gebiet 2 der Auswahltransistoren reicht jeweils bis über die Anschlußfläche des jeweiligen Speicherkondensators 1 und überlappt diese teilweise. Die aktiven Gebiete 2 für die Auswahltransistoren stellen streifenförmige Gebilde dar. Die aktiven Gebiete werden innerhalb eines Streifens zwischen jeweils zwei benachbarten Speicherkondensatoren 1 durch einen flachen Isolationsgraben 3 im Substrat in die Gebiete für die einzelnen Auswahltransistoren getrennt.

[0027] Der elektrische Anschluß zwischen dem Speicherkondensator 1 und dem aktiven Gebiet 2 des zugehörigen Auswahltransistors erfolgt durch den Überlapp 4 des aktiven Gebiets 2 mit der Anschlußfläche des Speicherkondensators 1.

[0028] Konventionell ist der Überlapp 4 zwischen dem aktiven Gebiet 2 und dem Speicherkondensator 1 kleiner als

der Speicherkondensator 1 in der Längsrichtung der Streifen für die aktiven Gebiete breit ist. Das aktive Gebiet 2 endet jeweils in einem Kopf 5, der, wie in der Fig. 1 in ausgezogenen Linien gezeigt, irgendwo auf der Anschlußfläche des Speicherkondensators 1 liegt. Der minimale Kopf-zu-Kopf-Abstand zweier gegenüberliegender aktiver Gebiete und damit das Ausmaß des Überlapps 4 wird durch das Prozeßfenster des Lithographieverfahrens für die Isolationsgräben und die Lagefehler zwischen den Strukturen für den Speicherkondensator 1 und das aktive Gebiet 2 bestimmt. Der Kopf-zu-Kopf-Abstand zwischen den Enden oder Köpfen 5 der aktiven Gebiete für die Auswahltransistoren wird mit anderen Worten durch den Lithographieprozeß für die Isolationsgräben dazwischen bestimmt und kann nicht beliebig verkleinert werden, ohne daß die Gefahr besteht, daß einer der Köpfe 5 in einem unerwünschten Bereich wie dem Isolationsgraben 3 zu liegen kommt und sich durch Kurzschlüsse und dergleichen die Ausbeute bei der DRAM-Herstellung drastisch verringert.

[0029] Andererseits bestimmt das Ausmaß des Überlapps 4 zwischen dem aktiven Gebiet 2 und der Anschlußfläche des Speicherkondensators 1 jedoch auch die elektrischen Eigenschaften des Systems Speicherkondensator-Auswahltransistor, das heißt insbesondere den Übergangswiderstand von Speicherkondensator 1 zum Auswahltransistor. Der Überlapp sollte unter diesem Gesichtspunkt also so groß wie möglich sein und immer die gleiche Fläche aufweisen.

[0030] Anhand der Fig. 2 bis 9 wird nun ein Verfahren beschrieben, bei dem der Lithographieprozeß für die Isolationsgräben in zwei getrennte Schritte aufgeteilt wird. Mit diesem Verfahren wird eine Selbstjustierung des aktiven Gebiets 2 des Auswahltransistors im Bereich des Überlapps 4 mit dem Speicherkondensator 1 in Längsrichtung der Streifen für die aktiven Gebiete möglich. Die Fig. 2 bis 7 und 9 zeigen jeweils einen Schnitt durch das Halbleitersubstrat senkrecht zur Substratoberfläche (und damit senkrecht zur Ebene der Fig. 1), wobei jeweils im Figurenteil I die Blickrichtung senkrecht zur Wortleitung der DRAM-Speicherzelle liegt und im Figurenteil II parallel zur Wortleitung. Die Fig. 8 zeigt eine Aufsicht auf die Substratoberfläche nach Ausführen des Technologieschritts der Fig. 7.

[0031] Die Fig. 2 stellt die Ausgangssituation dar. In das Siliziumsubstrat 10 sind tiefe Gräben 12 eingeätzt, die bis knapp unter die Substratoberfläche mit Polysilizium 14 aufgefüllt sind. An den Grabenwänden wird das Polysilizium 14 durch ein dünnes Dielektrikum, etwa eine  $\text{SiO}_2$ -Schicht 16, vom Silizium des Substrats 10 getrennt. Die  $\text{SiO}_2$ -Schicht 16 endet ein gutes Stück unterhalb der Substratoberfläche.

[0032] Auf die Oberfläche des Siliziumsubstrats 10 ist außerhalb der Gräben 12 eine Nitridschicht 18 ( $\text{Si}_3\text{N}_4$ ) aufgebracht. Die Nitridschicht, hier mit 18' bezeichnet, bedeckt auch den dünnen Steg 10' aus dem monokristallinen Silizium des Substrats 10 zwischen den beiden nahe beieinanderliegenden Gräben 12.

[0033] Das Polysilizium 14 in den Gräben 12 ist nicht abgedeckt; die Oberfläche des Polysiliziums 14 liegt tiefer als die Oberfläche der Nitridschicht 18, 18', so daß am Rand der Gräben 12 eine Kante entsteht.

[0034] In den Zeichnungen sind die unterschiedlichen Dotorungen in den einzelnen Bereichen des Siliziumsubstrats 10 nicht dargestellt.

[0035] Wie in der Fig. 3 gezeigt, wird auf dieser Struktur eine Hartmaske (20), vorzugsweise in der Form einer Oxid-Hartmaske, abgeschieden und darauf eine ARC-Schicht (Anti Reflex Coating) sowie ein Fotolack (Resist) aufgebracht. Der Fotolack 24 wird lithographisch zur Ausbildung einer Streifenmaske für die aktiven Gebiete 2 strukturiert.

[0036] Wie in der Fig. 4 gezeigt, erfolgt im nächsten Schritt ein Hartmaskenätzen der Hartmaskenschicht 20 bis zur Oberfläche des Polysiliziums 14 in den Gräben 12 sowie die Entfernung des Fotolacks 24 und der ARC-Schicht 22.

[0037] Fig. 5 Es schließt sich eine Isolationsgrabenätzung mittels eines reaktiven Ionenätzens (RIE) mit Verwendung der Hartmaske 20 als Maskierung bis zur Zieltiefe der seitlichen Isolationsgräben an. In diesem Schritt werden somit die seitlichen Isolationsgräben 26 zwischen den Streifen für die aktiven Gebiete 2 ausgebildet.

[0038] Fig. 6 Es werden erneut eine ARC-Schicht 28 und ein Fotolack 30 auf die im Schritt der Fig. 5 streifenförmig strukturierte Hartmaske 20 aufgebracht. Der Fotolack 30 wird lithographisch mit einer Lochmaske zum Unterbrechen der Streifen für die aktiven Gebiete 2 durch die Isolationsgräben 3 strukturiert. Die Isolationsgräben 3 liegen jeweils über dem Steg 10' zwischen zwei Gräben 12, der von der Nitridschicht 18' abgedeckt ist. Es folgt eine Hartmaskenätzung der Hartmaske 20 bis zur Oberfläche der Nitridschicht 18'. Die Nitridschicht 18' erlaubt eine Endpunktterkennung, so daß das Polysilizium 14 in den Gräben 12 auch nach diesem Ätzvorgang von der Hartmaske 20 bzw. einem Teil davon abgedeckt ist.

[0039] Fig. 7 Daran schließt sich ein selektives Nitridätzen an, mit dem das Nitrid 18' auf dem Steg 10' zwischen den Gräben 12 entfernt wird. Die Nitridschicht 18' in den anderen Bereichen neben und außerhalb der Gräben 12 wird dabei nicht weggeätzt, da sie durch das bei den Strukturierschritten der Figur und 6 stehengebliebene Hartmaskenoxid 20 abgedeckt und geschützt ist.

[0040] Die Fig. 8 zeigt eine Aufsicht auf die bei dem Ätzschritt der Fig. 6 zum selektiven Entfernen der Nitridschicht 18' entstehende Struktur. Es sind die mit der ARC-Schicht 28 gefüllten seitlichen Isolationsgräben 26 zu erkennen, die sich mit den Streifen für die aktiven Gebiete 2 abwechseln und diese voneinander trennen. Die aktiven Gebiete 2 sind mit der ARC-Schicht 28 und dem Fotolack 30 maskiert. Unter den Streifen für die aktiven Gebiete 2 befinden sich, jeweils paarweise angeordnet, die Speicherkondensatoren 1. Das (nicht bezeichnete) Loch der Lochmaske aus der ARC-Schicht 28 und dem Fotolack 30 befindet sich jeweils über den beiden Speicherkondensatoren 1, 1 eines Kondensatorpaars. In diesem Loch der Lochmaske wurde die Nitridschicht 18' über dem Steg 10' zwischen den beiden Gräben 12 für das Paar der Speicherkondensatoren 1, 1 entfernt, so daß das monokristalline Substratsilizium dieses Stegs 10' freiliegt.

[0041] Fig. 9 An den Schritt der Fig. 7 schließt sich ein selektives Siliziumätzen an, mit dem das monokristalline Substratsilizium im Steg 10' zwischen zwei Gräben 12 zur späteren Isolation der aktiven Gebiete der Auswahltransistoren bis auf die Zieltiefe des so entstehenden Isolationsgrabens 32 weggeätzt wird. Der Isolationsgraben 32 der Fig. 9 entspricht im übrigen dem Isolationsgraben 3 der Fig. 1 in einer Seitenansicht. Bei diesem Siliziumätzen dient die Hartmaske 20 als Maskierung, damit nur das Silizium im Steg 10' weggeätzt wird.

[0042] Anschließend wird der Fotolack 30, die ARC-Schicht 28 und die Hartmaske 20 entfernt.

[0043] Wie beschrieben wird demnach, wie in der Fig. 1 gestrichelt dargestellt, durch die Aufteilung des Lithographieschrittes für die Ausbildung der Isolationsgräben in zwei separate Schritte in der besonders kritischen Richtung, der Längsrichtung der Streifen mit den aktiven Gebieten 2, beim Freiätzen des Isolationsgrabens 3, 32 zwischen den beiden Gräben 12 für ein Paar von Speicherkondensatoren 1 aufgrund des selektiven Entfernen der Nitridschicht 18' auf dem Steg 10' kein Material (Polysilizium, hier mit 14' be-

zeichnet) aus dem Graben 12 entfernt, so daß das aktive Gebiet 2 bis an den Rand der Anschlußfläche des Speicherkondensators 1 reicht.

[0044] Bei dieser Vorgehensweise bleibt demnach das Polysilizium 14, 14' in den tiefen Gräben der Speicherkondensatoren vollständig stehen. Das Polysilizium 14' im Anschlußbereich bildet jedoch gleichzeitig den Buried Strap des aktiven Gebiets, so daß der Überlapp des Speicherkondensators mit dem aktiven Gebiet bis zum Rand des Speicherkondensators reicht und das aktive Gebiet den Speicherkondensator in Längsrichtung demnach im größtmöglichen Ausmaß abdeckt. Der Übergangswiderstand zwischen Auswahltransistor und Speicherkondensator hat damit den kleinstmöglichen Wert. Durch die Selbstjustierung der Buried-Strap-Technologie ist der Wert des Übergangswiderstandes auch immer der gleiche.

[0045] Die Fig. 10 zeigt im Vergleich dazu den der Fig. 9 im Bereich I entsprechenden Querschnitt bei Anwendung des einstufigen, herkömmlichen Lithographieprozesses. Da die Siliziumätzung zum Ausbilden der Gräben 32 seitlich, d. h. in Längsrichtung der Streifen für das aktive Gebiet, nicht selbstjustierend möglich ist, wird im Anschlußbereich der Speicherkondensatoren 1 das dortige Polysilizium 14' zum Teil entfernt, mit der Folge eines verringerten Anschlußquerschnitts und damit eines erhöhten Anschlußwiderstands.

[0046] Bei dem oben beschriebenen Prozeß kann die erste und/oder die zweite ARC-Schicht 22, 28 auch entfallen und in den entsprechenden Strukturschritten nur Fotolack verwendet werden.

#### Bezugszeichenliste

- 1 Speicherkondensator
- 2 aktives Gebiet für Auswahltransistor
- 3 Isolationsgraben
- 4 Überlapp (zwischen 1 und 2)
- 5 Kopf (des aktiven Gebiets)'
- 10 Siliziumsubstrat
- 10' Steg (zwischen zwei Gräben 12)
- 12 Graben für Speicherkondensator
- 14 Polysilizium im Graben 12
- 14' Polysilizium (Buried Strap)
- 16 Dielektrikum (SiO<sub>2</sub>-Schicht)
- 18 Nitridschicht
- 18' Nitridschicht auf den schmalen Stegen zwischen zwei Speicherkondensatoren
- 20 Hartmaske
- 22 ARC-Schicht (erster Lithographieschritt)
- 24 Fotolack (erster Lithographieschritt)
- 26 seitliche Isolationsgräben
- 28 ARC-Schicht (zweiter Lithographieschritt)
- 30 Fotolack (zweiter Lithographieschritt)
- 32 Isolationsgraben (entspricht 3)
- I, II Bereiche (im Halbleitersubstrat)

#### Patentansprüche

1. Verfahren zur Ausbildung von Isolationsgräben zwischen aktiven Gebieten (2) bei der Herstellung von integrierten Schaltungen, insbesondere DRAMs, bei der in ein Halbleitersubstrat (10) zur gegenseitigen Isolierung der aktiven Gebiete (2) relativ flache Isolationsgräben (3, 26, 32) eingeätzt werden, die mit einem Oxid aufgefüllt werden, wobei es neben den relativ flachen Isolationsgräben (3) tiefe, mit Polysilizium (14) gefüllte Gräben (12) gibt, die Speicherkondensatoren (1) bilden, dadurch gekennzeichnet, daß in einem

Strukturierungszustand, in dem sich auf der Siliziumoberfläche des Halbleitersubstrats (10, 10') eine Siliziumnitridschicht (18, 18') befindet und die gesamte Oberfläche des Halbleitersubstrats (10) und des Polysiliziums (14) in den Gräben (12) mit einer Hartmaskenschicht (20) abgedeckt ist, zuerst ein erster Lithographieschritt zur Ausbildung von seitlichen Isolationsgräben (26) neben den Streifen aktiver Gebiete (2) ausgeführt wird, an den sich ein zweiter Lithographieschritt zur Ausbildung der Isolationsgräben (3, 32) in den Streifen anschließt.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß in den Gräben (12) die Oberfläche des Polysiliziums (14) tiefer liegt als die Oberfläche der Siliziumnitridschicht (18, 18'), und daß sich an den zweiten Lithographieschritt eine selektive Nitridätzung zur Entfernung der Nitridschicht (18') auf den Stegen (10') zwischen den beiden Gräben (12) für ein Paar von Speicher kondensatoren (1) und eine selektive Entfernung des Substratsiliziums im Steg (10') bis zur Zieltiefe des Isolationsgrabens (3, 32) anschließt.

Hierzu 6 Seite(n) Zeichnungen

25

30

35

40

45

50

55

60

65

**- Leerseite -**

FIG 1

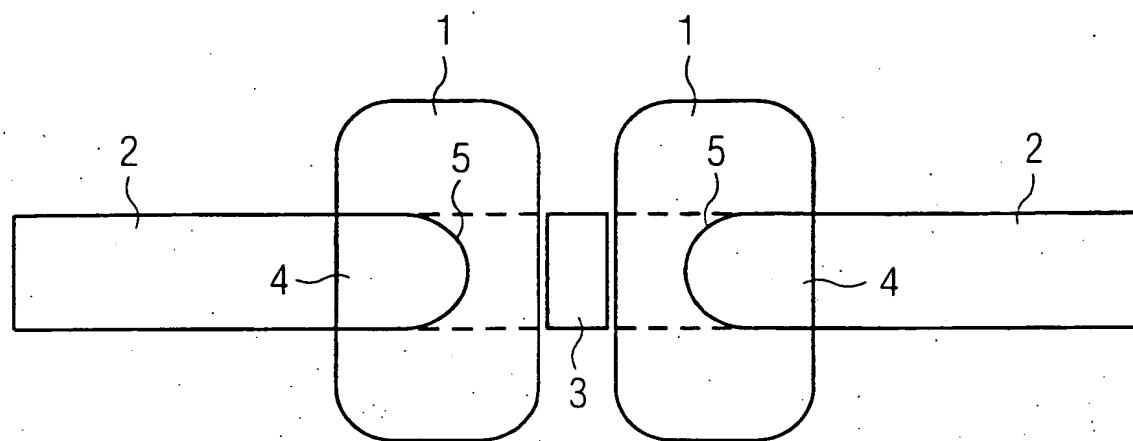


FIG 2

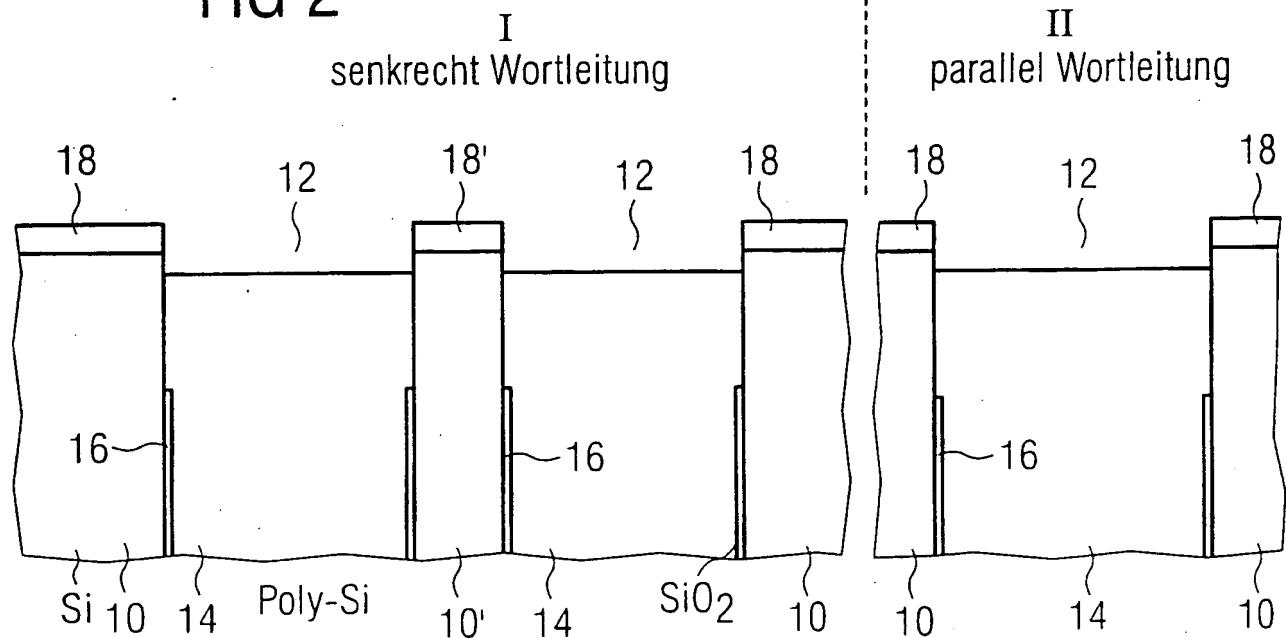


FIG 3

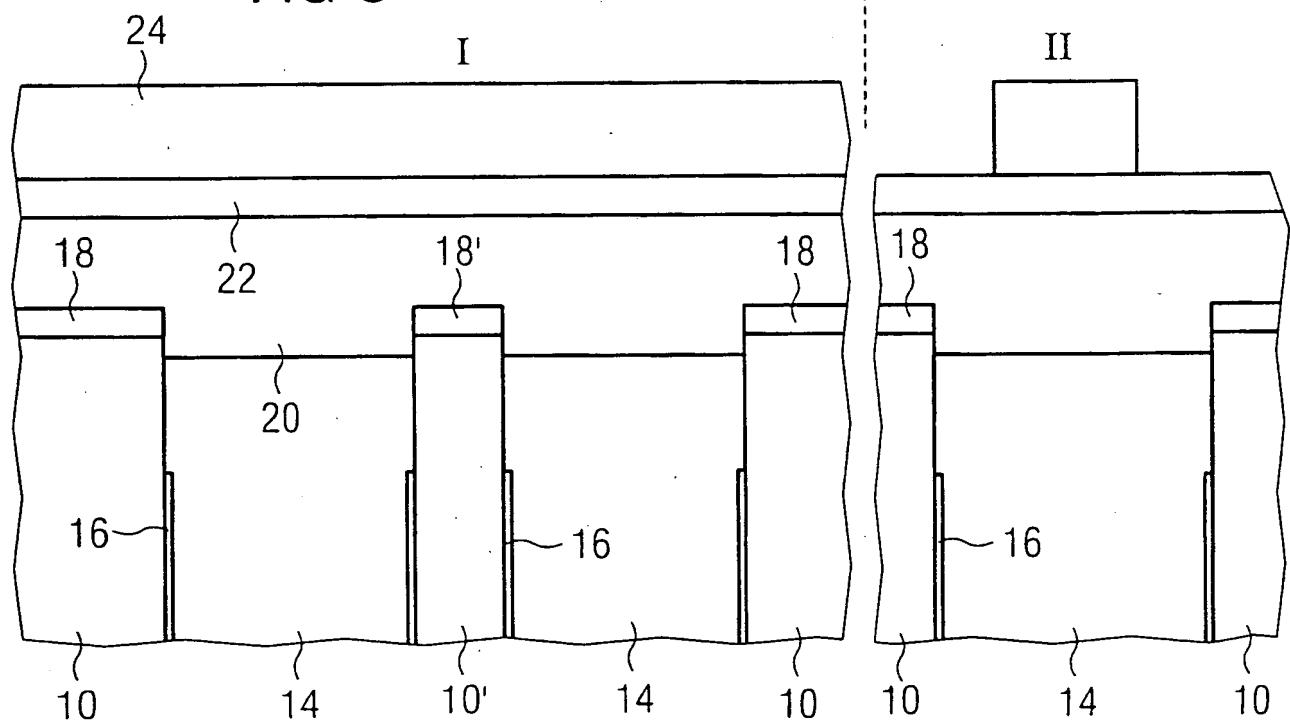


FIG 4

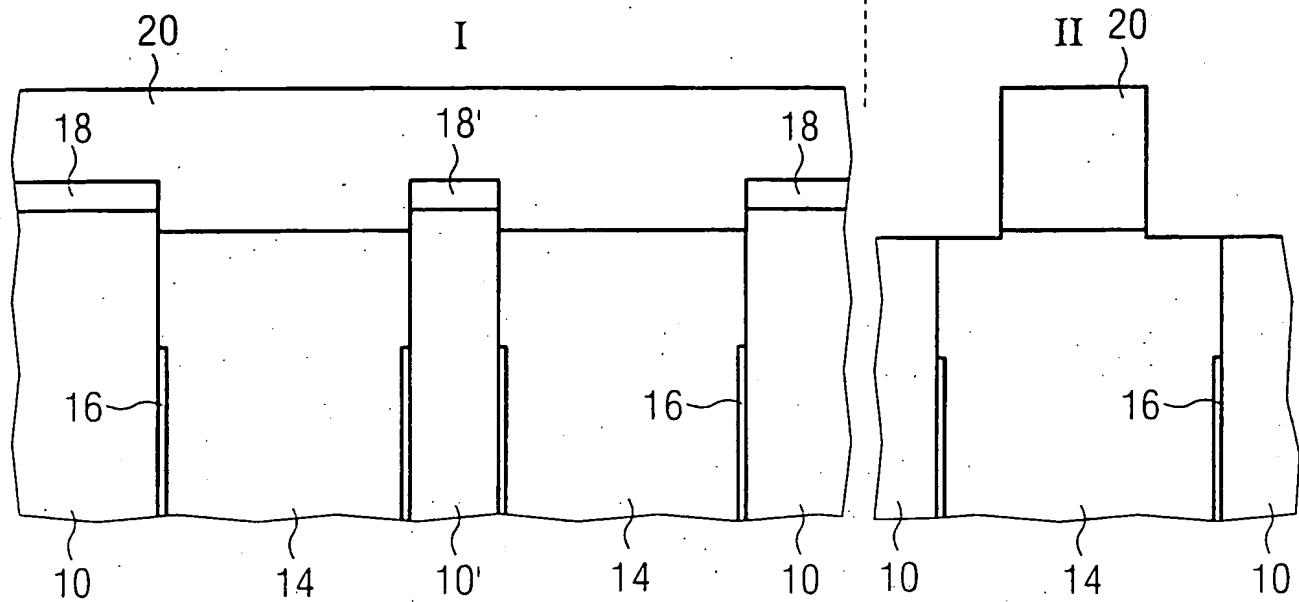


FIG 5

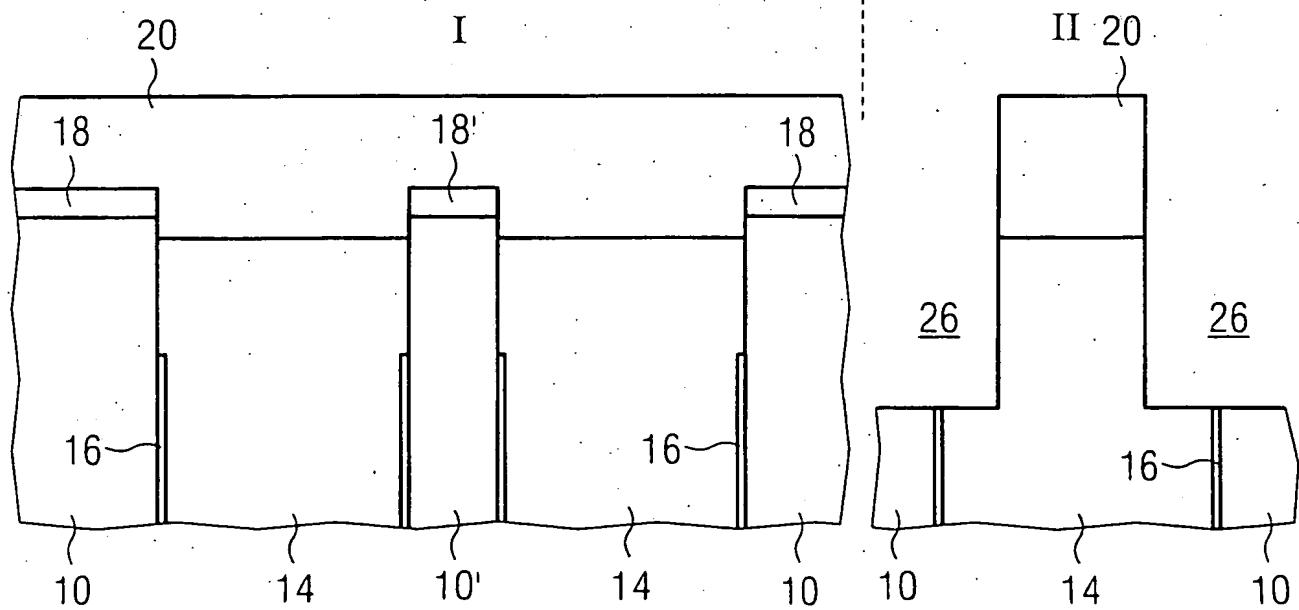


FIG 6

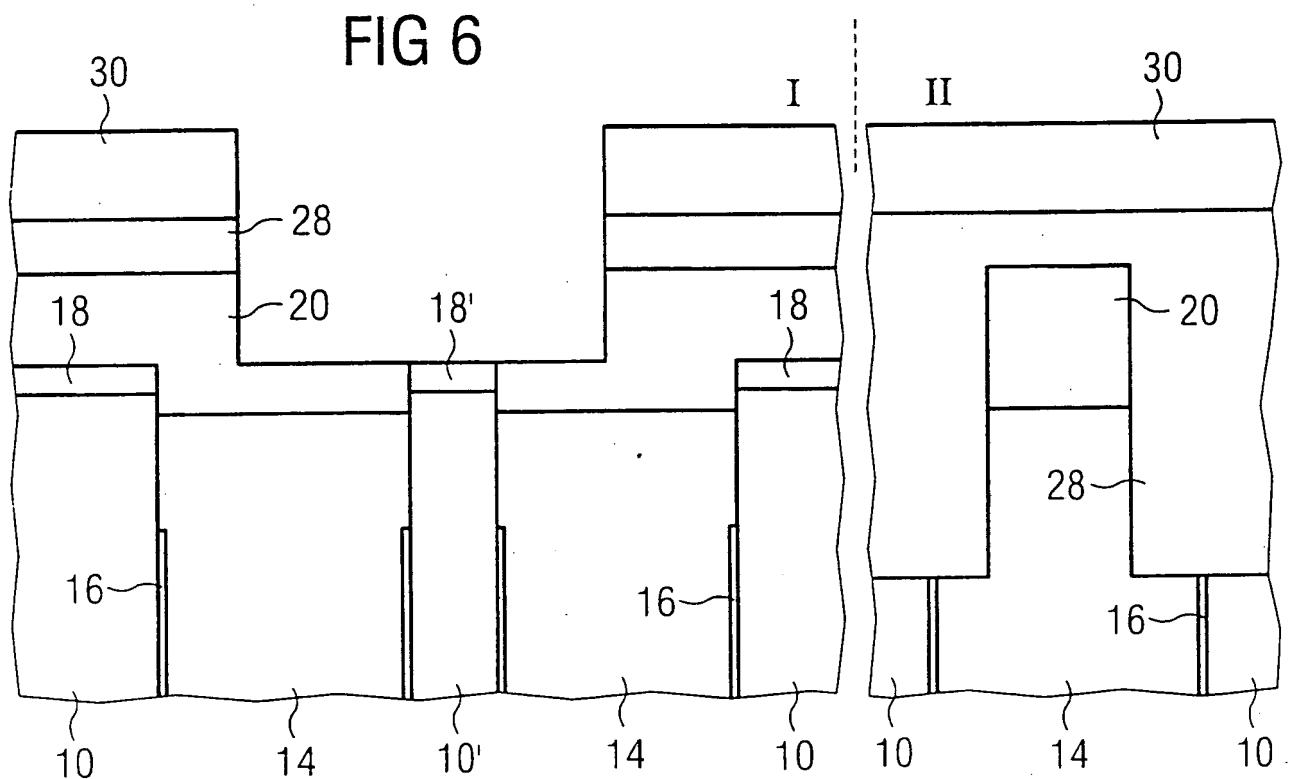


FIG 7

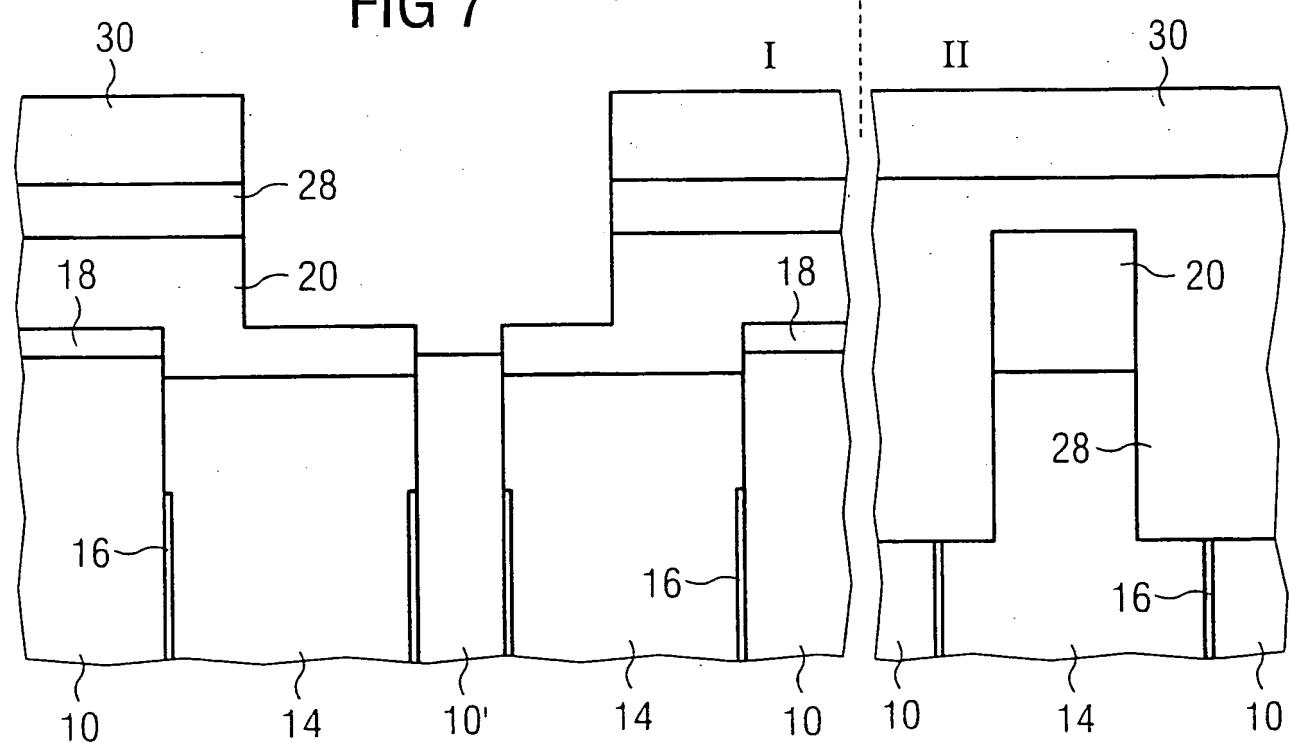


FIG 8

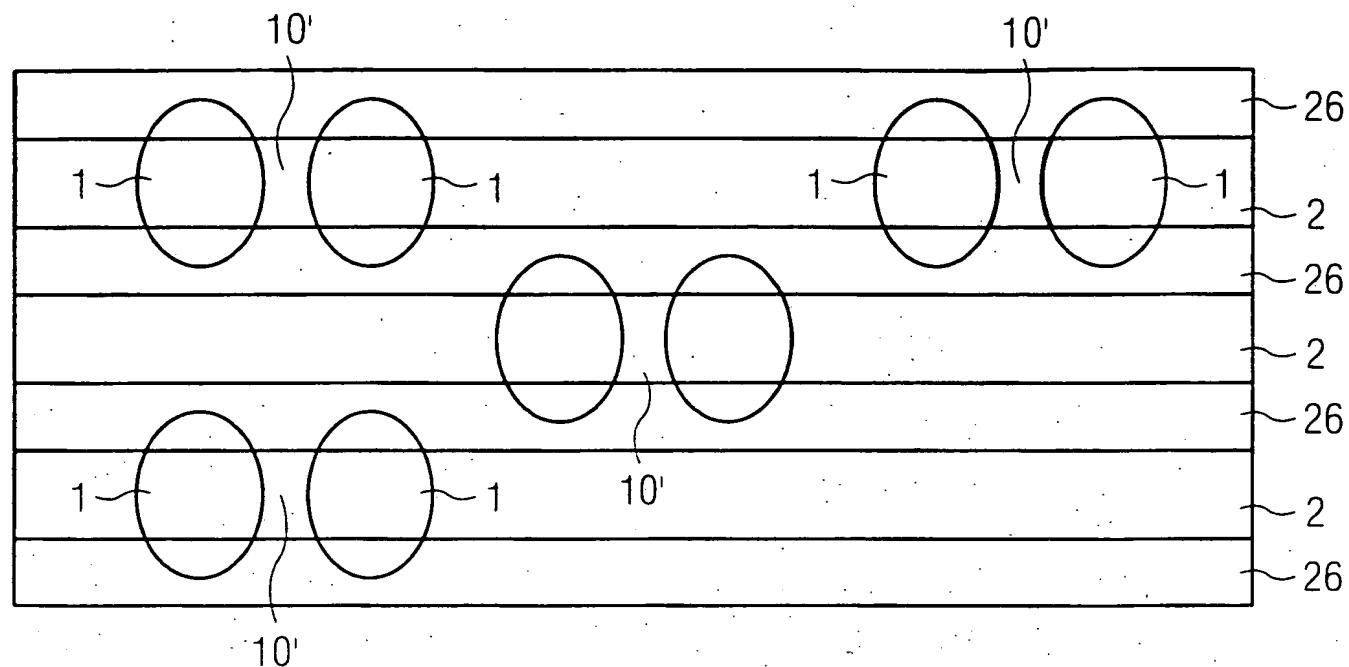


FIG 9

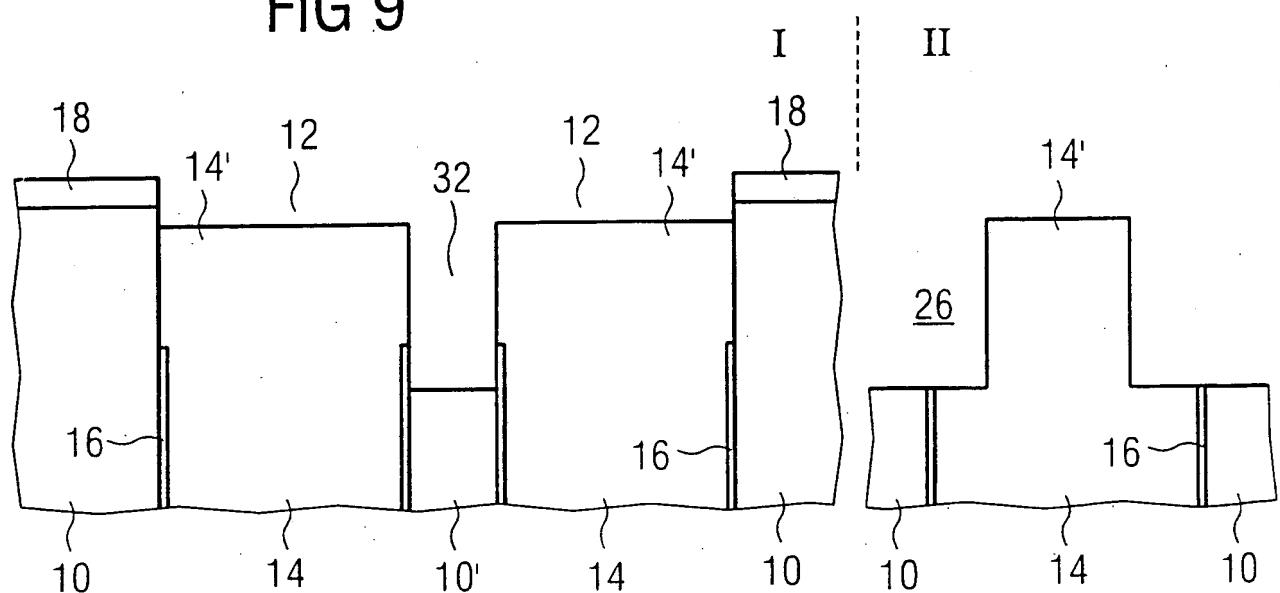


FIG 10

(Stand der Technik)

